

SEMICONDUCTOR POLYCRYSTALLINE DIAMOND ELECTRONIC DEVICE AND MANUFACTURE THEREOF

Publication number: JP4312982 (A)

Publication date: 1992-11-04

Inventor(s): DEEBITSUDO ERU DOREIFUESU; KUMAARU DASU; MIYATA KOICHI; KOBASHI KOJI +

Applicant(s): KOBE STEEL LTD +

Classification:

- international: C23C14/06; C30B29/04; H01L21/04; H01L21/205; H01L21/265; H01L29/16; H01L29/78; H01L29/80; H01L29/861; C23C14/06; C30B29/04; H01L21/02; H01L29/02; H01L29/66; (IPC1-7): C23C14/06; C30B29/04; H01L21/205; H01L21/265; H01L29/784; H01L29/91

- European: H01L21/04D40B2; H01L21/04D40C2; H01L29/16

Application number: JP19920034195 19920124

Priority number(s): US19910646848 19910128

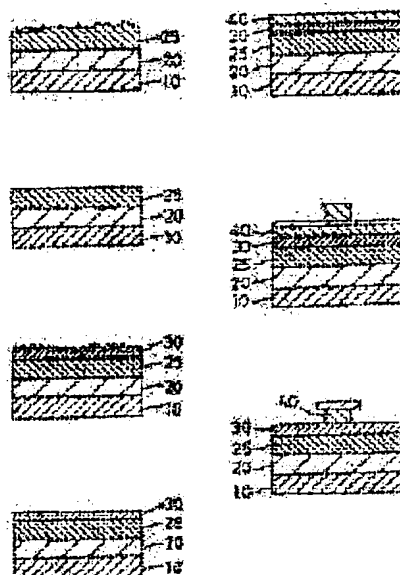
Also published as:

JP2812832 (B2)
GB2252202 (A)
US5173761 (A)
DE4202154 (A1)
DE4202154 (C2)

Abstract of JP 4312982 (A)

PURPOSE: To provide a semiconductor polycrystalline diamond electronic device and a method for manufacturing the same in which excellent rectification, high breakdown voltage, excellent resistance characteristic and reverse voltage characteristic are provided, high temperature characteristics are improved and an operating environmental condition can be increased by using a thin polycrystalline diamond film.

CONSTITUTION: An insulating polycrystalline diamond layer 20 is formed on a silicon substrate 10, the surface of the layer 20 is polished, and a thin second diamond film 25 is vapor-deposited. This film 25 is a boron-doped p-type semiconductor transistor channel layer. After the surface of the film 25 is polished, an undoped insulating diamond layer 30 is formed. An aluminum electrode 40 is formed on the layer 30. Since the undoped layer 30 is provided, its rectification is improved, and a breakdown voltage is high.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-312982

(43) 公開日 平成4年(1992)11月4日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/91				
C 3 0 B 29/04		7821-4G		
H 0 1 L 21/205		7739-4M		
		8225-4M	H 0 1 L 29/91	F
		8617-4M	21/265	S

審査請求 未請求 請求項の数23(全 9 頁) 最終頁に続く

(21) 出願番号 特願平4-34195

(22) 出願日 平成4年(1992)1月24日

(31) 優先権主張番号 07/646, 848

(32) 優先日 1991年1月28日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000001199

株式会社神戸製鋼所

兵庫県神戸市中央区脇浜町1丁目3番18号

(72) 発明者 デービッド・エル・ドレイフエス

アメリカ合衆国, ノースカロライナ州

27709, リサーチトライアングルパーク,

私書箱13608, 79, T W, アレクサンダー

通り, リサーチcommons, 4401ビルディング

(74) 代理人 弁理士 藤巻 正憲

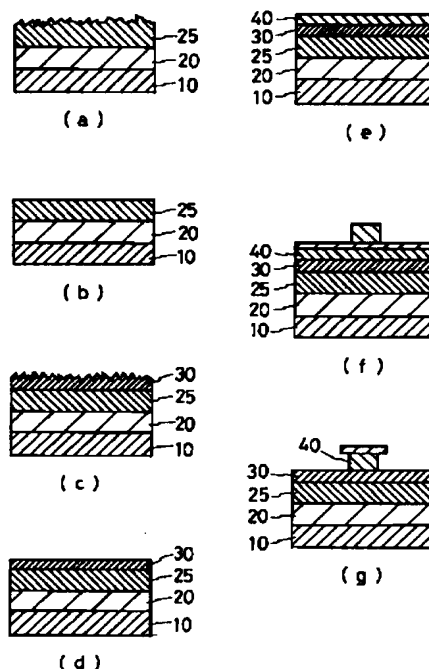
最終頁に続く

(54) 【発明の名称】 半導体多結晶ダイヤモンド電子デバイス及びその製造方法

(57) 【要約】

【目的】 多結晶ダイヤモンド薄膜を利用して、整流作用が優れていて、ブレークダウン電圧が高く、優れた抵抗特性及び逆電圧特性を有し、高温特性の向上及び動作環境条件の拡大を図ることができる半導体多結晶ダイヤモンド電子デバイス及びその製造方法を提供する。

【構成】 シリコン基板10上に絶縁性多結晶ダイヤモンド層20を形成し、層20の表面を研磨した後、第2のダイヤモンド薄膜25を蒸着する。この薄膜25はポロンドープのp型半導体トランジスタチャネル層である。この膜25の表面を研磨した後、アンドープの絶縁性ダイヤモンド層30を形成する。そして、この層30上に、アルミニウム電極40を形成する。アンドープの絶縁性ダイヤモンド層30を有しているので、整流作用が向上し、ブレークダウン電圧が高い。



【特許請求の範囲】

【請求項1】 電導性基板と、この基板上に形成されたボロンドープの多結晶ダイヤモンド薄膜第1層と、前記第1層上に形成されたアンドープの絶縁膜からなる多結晶ダイヤモンド薄膜第2層と、前記基板の裏面上にメタライズされた電極と、前記第2層上にメタライズされ前記第1層、第2層及び基板と共に、半導体ジャンクションタイプのデバイスを形成する他の電極構造とを有し、垂直型金属-絶縁体構造をもつことを特徴とする半導体多結晶ダイヤモンド電子デバイス。

【請求項2】 基板と、前記基板上に形成された絶縁性多結晶ダイヤモンド膜第1層と、前記第1層上に形成されチャンネル層として機能するボロンドープ部を有する多結晶ダイヤモンド薄膜第2層と、前記第2層の前記ボロンドープ部に形成された絶縁性アンドープ多結晶ダイヤモンド膜第3層と、前記第3層上にメタライズされ前記第2層の前記ボロンドープ部にオーミックコンタクトする電極構造体と、表面改質、イオン注入及び前記第3層の化学エッチングのいずれかにより前記電極構造体のオーミックコンタクト抵抗を低減する手段とを有し、前記電極、第1層、第2層及び第3層から半導体ジャンクションタイプデバイスが形成されることを特徴とする半導体多結晶ダイヤモンド電子デバイス。

【請求項3】 前記ボロンドープの多結晶ダイヤモンド薄膜第1層は前記第2層を介してイオン注入することにより形成することを特徴とする請求項1に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項4】 前記第2層の前記ボロンドープ部は前記第3層を介してイオン注入により形成されていることを特徴とする請求項2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項5】 前記第1層は気相合成中のドーピングにより形成されていることを特徴とする請求項1に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項6】 前記第2層は気相合成中のドーピングにより形成されていることを特徴とする請求項2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項7】 前記半導体ジャンクションタイプデバイスは、MISFETであり、前記第3層内に形成されエッチング、イオン注入又は表面改質を受けたソース及びドレインと、前記各ソース及びドレインのコンタクト上に形成されたソース及びドレイン電極とを有することを特徴とする請求項2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項8】 前記半導体ジャンクションタイプデバイスは、ダイオードであることを特徴とする請求項1又は2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項9】 前記ダイオードはショットキダイオードであることを特徴とする請求項8に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項10】 前記第1層は20 μ mより厚く、前記第2層は1～2 μ mの厚さを有することを特徴とする請求項2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項11】 前記第1層は研磨された膜であることを特徴とする請求項1又は2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項12】 前記基板は結晶粒が大きな連続的多結晶ダイヤモンドの蒸着を可能とする材料で形成されていることを特徴とする請求項1又は2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項13】 前記基板はシリコンであることを特徴とする請求項2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項14】 基板上に絶縁性多結晶ダイヤモンド膜からなる第1層を蒸着するプロセスと、前記絶縁性多結晶ダイヤモンド膜からなる第1層を研磨するプロセスと、前記第1層上にBドーパのダイヤモンド薄膜第2層を蒸着し、前記第2層を研磨して半導体トランジスタチャンネル層を形成するプロセスと、前記第2層上にアンドープの絶縁性ダイヤモンドからなる第3層を蒸着するプロセスと、前記第3層上にゲート電極を形成して半導体ジャンクションタイプデバイスを形成するプロセスとを有することを特徴とする半導体多結晶ダイヤモンド電子デバイスの製造方法。

【請求項15】 基板上に多結晶膜第1層を蒸着するプロセスと、前記第1層上に多結晶薄膜第2層を蒸着するプロセスと、前記第2層上にアンドープの絶縁膜である多結晶薄膜第3層を蒸着するプロセスと、前記第2層にイオン注入することにより前記第2層内にボロンドープの半導体チャンネル層を形成するプロセスと、前記第3層上にゲート電極を形成し半導体ジャンクションタイプデバイスを得るプロセスとを有することを特徴とする半導体多結晶ダイヤモンド電子デバイスの製造方法。

【請求項16】 前記アンドープの第3層の選択された領域にイオン注入してオーミックコンタクトを形成するプロセスと、オーミックコンタクトする前記選択された領域にコンタクトメタライズを形成するプロセスとを有し、前記デバイスは、金属-絶縁-半導体電界効果トランジスタであることを特徴とする請求項15に記載の半導体多結晶ダイヤモンド電子デバイスの製造方法。

【請求項17】 前記絶縁性第3層にイオン注入してオーミックコンタクトを形成するプロセスは、前記ゲート電極を形成すると同時に、前記構造体の全体にフォトリソを使用してイオン注入することにより前記第3絶縁層にソース及びドレインのオーミックコンタクトを形成し、これによりソース及びドレイン間に最小抵抗値を有する自己整合型の電解効果トランジスタを形成するプロセスを有することを特徴とする請求項16に記載の半導体多結晶ダイヤモンド電子デバイスの製造方法。

【請求項18】 アンドープの多結晶層が注入ジャンクションの特性改善に使用されることを特徴とする請求項16に記載の半導体多結晶ダイヤモンド電子デバイスの製造方法。

【請求項19】 p型のドーパントがトランジスタのチャネルを形成するために使用されることを特徴とする請求項1又は2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項20】 前記チャネルが気相合成又はイオン注入した領域にn型材料により形成されることを特徴とする請求項1又は2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項21】 前記基板は前記デバイスが完成した後に、取り除かれることを特徴とする請求項1又は2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項22】 前記デバイスは自己整合型であることを特徴とする請求項1又は2に記載の半導体多結晶ダイヤモンド電子デバイス。

【請求項23】 基板と、前記基板上に形成されチャネル層として機能するポロンドープ部を有する多結晶ダイヤモンド薄膜第1層と、前記第1層の前記ポロンドープ部上に形成されたアンドープの多結晶ダイヤモンド膜第2層と、前記第2層上に形成されて半導体ジャンクションタイプデバイスを形成する電極構造とを有することを特徴とする半導体多結晶ダイヤモンド電子デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は絶縁ダイヤモンド層を有する半導体多結晶ダイヤモンド電子デバイスに関し、特に整流作用が優れておりブレイクダウン電圧が高い半導体ジャンクションタイプダイヤモンドデバイスに関する。

【0002】

【従来の技術及びその問題点】 半導体ダイヤモンドは電氣的に、熱的に、機械的に、光学的に優れた特性を有している。このため、半導体ダイヤモンドは高温で使用される高出力の電子機器及び極限状態で使用される機器等、広範囲に使用することができる。

【0003】 ダイヤモンドトランジスタ等のダイヤモンド電子機器の開発としては、塩見らの研究 (Japanese Journal of Applied Physics 第12巻 L2153(1989)) がある。この研究は単結晶ダイヤモンドにトランジスタを形成するものであり、その電氣的特性は必ずしも十分なものではない。

【0004】 次に、1990年の「The Second International conference on New Diamond Science and Technology (ICNDST)」での発表において、塩見らはゲートの電極特性を改善するために、その構造の中にアンドープのダイヤモンド層を導入したものを提案した。アンドープ層を持つショットキーダイオードは、室温のブレイクダウ

ン電圧が520Vであり、最大300℃まで整流作用を有する。しかしながら、このトランジスタ特性は改善されてはいるものの、工業的に十分な特性を有しているとはいえず、また、これらの特性は室温でのみ示されているにすぎない。この塩見らが開発したものは構造上の形状、材料特性及びデバイスの設計又は配置が最適のものとはいえない。

【0005】 塩見らのデバイスの組立てに際して主な障害となるのは、単結晶ダイヤモンド基板が必要なことである。ホモエピタキシは、天然又は合成の絶縁性ダイヤモンド基板が必要であり、極めて高価である。ダイヤモンドのヘテロエピタキシは、微小なキュービック窒化ボロン結晶を基板とした場合を除いて、従来の技術文献において十分に開示されていない。これはサイズが小さく、合成単結晶ダイヤモンドと同様に、高圧及び高温処理により合成することが困難である。

【0006】 塩見らのデバイスのように、絶縁性ダイヤモンド層を均一に成膜すると、半導体ダイヤモンド層上のダイオード／整流ゲートの整流作用を向上させるが、一方、ソース・ドレインのシリーズ抵抗も増大させてしまう。

【0007】 ダイヤモンド技術の使用に関する他の従来技術として、ギルデンブラット (Gildenblat; 2nd ICNDST; ワシントンDC 1990年) により提案されたものがある。これによると金属-酸化物-半導体トランジスタはゲート電極絶縁膜として、二酸化シリコンを使用することによって得られる。この構造は、ダイヤモンド基板上にホモエピタキシャルに選択的に成長され、その後、ゲート酸化物としてSiO₂が蒸着される。測定された電流-電圧特性は、デプレッションモード電界効果トランジスタから予期されるように、チャネル電導の変調を示した。

【0008】 しかしながら、この現象にはいくつかの障害がある。第1の障害は、塩見らの研究と同様に単結晶材料を必要とすることである。第2に二酸化シリコン及びダイヤモンドの間の界面を適切に形成し、制御することが困難である。その結果、デバイス特性及び特にピンチオフ電圧に悪影響を与える界面状態が発生する。第3に、これらのデバイスが厳しい環境で使用されるように設計された場合は、二酸化シリコンのダイヤモンドに対する接合が制約因子となる。二酸化シリコンとダイヤモンドの熱膨張係数の差は温度サイクルに耐えることができない不整合を引き起こす。他の従来のダイヤモンド技術は、単結晶ダイヤモンド構造を使用するか、又は窒化ボロン結晶のように合成することが極めて困難な基板を提案するものである。最後に、この分野の最近の発展はブレイクダウン電圧が不十分であるなど、不十分な電氣的特性を有する電子デバイスか、又は実用的なデバイスを提供するためには高価になりすぎ、極めて特殊な形状をもたざるを得ないかに帰結する。

【0009】本発明はかかる問題点に鑑みてなされたものであって、半導体材料として半導体ダイヤモンドの利点を利用し、堆積された多結晶ダイヤモンド薄膜から形成することができる金属-絶縁体-半導体構造のデバイスを提供することを目的とする。

【0010】本発明の他の目的は、多結晶ダイヤモンド薄膜を使用し、自己整合プロセスを取り入れてイオン注入された構造を提供することにある。

【0011】更に、本発明の他の目的は多結晶ダイヤモンド薄膜を使用した金属-絶縁体-半導体ダイオードを提供することにある。

【0012】更に、本発明の他の目的は、多結晶ダイヤモンド薄膜から組み立てられ、トランジスタ電子特性が向上したトランジスタ構造を提供することにある。

【0013】更にまた、本発明の他の目的は、単結晶ダイヤモンド基板を必要としない半導体ダイヤモンド技術を実現することにある。

【0014】

【課題を解決するための手段】本発明に係る第1の半導体多結晶ダイヤモンド電子デバイスは、電導性基板と、この基板上に形成されたポロンドープの多結晶ダイヤモンド薄膜第1層と、前記第1層上に形成されたアンドープの絶縁膜からなる多結晶ダイヤモンド薄膜第2層と、前記基板の裏面上にメタライズされた電極と、前記第2層上にメタライズされ前記第1層、第2層及び基板と共に、半導体ジャンクションタイプのデバイスを形成する他の電極構造とを有し、垂直型金属-絶縁構造をもつことを特徴とする。

【0015】本発明に係る第2の半導体多結晶ダイヤモンド電子デバイスは、基板と、前記基板上に形成された絶縁性多結晶ダイヤモンド膜第1層と、前記第1層上に形成されチャンネル層として機能するポロンドープ部を有する多結晶ダイヤモンド薄膜第2層と、前記第2層の前記ポロンドープ部上に形成された絶縁性アンドープ多結晶ダイヤモンド膜第3層と、前記第3層上にメタライズされ前記第2層の前記ポロンドープ部にオーミックコンタクトする電極構造体と、表面改質、イオン注入及び前記第3層の化学エッチングのいずれかにより前記電極構造体のオーミックコンタクト抵抗を低減する手段とを有し、前記電極、第1層、第2層及び第3層から半導体ジャンクションタイプデバイスが形成されることを特徴とする。

【0016】本発明に係る第3の半導体多結晶ダイヤモンド電子デバイスは、基板と、前記基板上に形成されチャンネル層として機能するポロンドープ部を有する多結晶ダイヤモンド薄膜第1層と、前記第1層の前記ポロンドープ部上に形成されたアンドープの多結晶ダイヤモンド膜第2層と、前記第2層上に形成されて半導体ジャンクションタイプデバイスを形成する電極構造とを有することを特徴とする。

【0017】本発明に係る第1の半導体多結晶ダイヤモンド電子デバイスの製造方法は、基板上に絶縁性多結晶ダイヤモンド膜からなる第1層を蒸着するプロセスと、前記絶縁性多結晶ダイヤモンド膜からなる第1層を研磨するプロセスと、前記第1層上にBドーパのダイヤモンド薄膜第2層を蒸着し、前記第2層を研磨して半導体トランジスタチャンネル層を形成するプロセスと、前記第2層上にアンドープの絶縁性ダイヤモンドからなる第3層を蒸着するプロセスと、前記第3層上にゲート電極を形成して半導体ジャンクションタイプデバイスを形成するプロセスとを有することを特徴とする。

【0018】本発明に係る第2の半導体多結晶ダイヤモンド電子デバイスの製造方法は、基板上に多結晶膜第1層を蒸着するプロセスと、前記第1層上に多結晶薄膜第2層を蒸着するプロセスと、前記第2層上にアンドープの絶縁膜である多結晶薄膜第3層を蒸着するプロセスと、前記第2層にイオン注入することにより前記第2層内にポロンドープの半導体チャンネル層を形成するプロセスと、前記第3層上にゲート電極を形成し半導体ジャンクションタイプデバイスを得るプロセスとを有することを特徴とする。

【0019】

【作用】本発明により、多結晶ダイヤモンド薄膜を有するダイヤモンド半導体構造を得るための方法及びデバイスが提案される。基板材料上に多結晶ダイヤモンド被膜を形成することにより、種々の基板材料の使用が可能となる。そして、ポロンドープ層の上に形成される絶縁層としてアンドープのダイヤモンド層を使用することにより、材料として多結晶ダイヤモンドを使用できる可能性が広がる。この構造において、イオン注入はオーミックコンタクト抵抗を低減するために使用される。その注入領域を深くしてチャンネル層を形成すれば、イオン注入により、全ての構造をつくることができる。これにより、絶縁ゲート構造をデバイスの一体的な部分として形成することができる。埋め込みチャンネルは絶縁アンドープ層を介して数回の注入プロセスを実施することによりドーパすることができる。その結果、この方法及びデバイスにより、シリコン技術に比して、優れた抵抗及び逆電圧特性と、高温特性の向上及び広範囲の動作環境条件を得ることができ、極めて有益な多結晶ダイヤモンドデバイスを提供することができる。更に、本発明の方法及びデバイスにおいては、単結晶ダイヤモンド基板が不要であるという利点がある。

【0020】

【実施例】以下、本発明の実施例について添付の図面を参照して説明する。

【0021】図1(a)～(g)は、多結晶ダイヤモンド薄膜半導体の製造方法を示す断面図である。図1(a)に示すように、シリコン基板10の上に絶縁性多結晶ダイヤモンド層20が少なくとも20 μ mの厚さに

蒸着されている。この層20は、研磨され、全ての汚染及び構造的な損傷に起因する残留グラファイト成分は、化学的エッチングにより取り除かれる。その後、残存する層20の上に、第2のダイヤモンド薄膜25が蒸着される。このダイヤモンド膜25はポロンドープのP型半導体トランジスタチャンネル層であり、この層は「擬似エピタキシャル」層であり、基板上に成長させた単一層に比較してその特性が向上している。

【0022】次いで、この層25は、図1(b)に示すように、表面が研磨され、更に図1(c)に示すように、第3の蒸着プロセスにより、アンドープの絶縁性ダイヤモンド層30が層25上に形成される。層20及びそれに続く層25の研磨は、0.1 μ mのダイヤモンド粉末及び研磨装置を使用して行うことができる。20 μ m厚さの層20及び1~2 μ mのドープされたチャンネル層厚さの層25の形成方法については、他に適切な方法も考えられる。層25の厚さが薄いために、前記蒸着物は十分に平坦であり、付加的な研磨プロセスは不要である。

【0023】研磨は、図1(d)に示すように、多結晶ダイヤモンド表面を平坦化するのに有効であり、これにより、一層平坦なダイヤモンド層が形成され、均一な電場が形成される。アンドープの絶縁性ダイヤモンド層の厚さ方向に均一な電場を有することは特に重要である。

【0024】例えば、層20、25のような多結晶ダイヤモンド膜をマイクロ波プラズマ化学蒸着技術により形成した。これらの膜は原料ガスとしてH₂ガス中にCH₄ガスを0.5%希釈したものを使用し、ドーパントガスとしてB₂H₆を使用した。全ガス圧力は31.5Torr、基板温度は800℃とした。また、反応ガス中のボロンとカーボンとの比(B/C)は4ppmに保持した。アンドープのダイヤモンド層30は異なる合成装置でボロンの不在下で15分、30分、60分間蒸着した。ダイヤモンドの成長速度は1時間に約0.2 μ mである。P型のドープされた層25は以下に示すように、イオン注入により形成することもできる。これらの層の形成には電子デバイスクラスの品質をもつダイヤモンドが合成できる他の蒸着方法を使用することもできる。

【0025】次のプロセスで、0.1~0.2 μ m厚さのゲート電極を、例えば電子ビーム蒸着方法又は他の蒸着方法により、アルミニウム又は他の金属の層を蒸着することにより形成することができる。

【0026】次いで、図2に示すように、アルミニウム電極40を、例えば、フォトリソグラフィにより形成する。このフォトリソグラフィは、蒸着アルミニウム上に、不要の部分のアルミニウムをエッチングするために使用するマスクをバタニングするものである。

【0027】図3は図2の金属-絶縁体-半導体構造において、そのアンドープダイヤモンド膜30の厚さを種々変えて測定した電流-電圧特性の結果を示す。基板は1 $\Omega \cdot \text{cm}$ 以下の低抵抗率を有するポロンボープの(11

1) 方位シリコンである。基板への電極には銀ペーストを使用した。図3の曲線(a)はアンドープのダイヤモンド層を有しない構造についてのものであり、曲線(b)はアンドープのダイヤモンド蒸着時間が15分の場合、曲線(c)はアンドープのダイヤモンドの蒸着時間が60分の場合のものである。この図3からわかるように、立ち上がり電圧、更に重要である点はデバイスの逆ブレイクダウン電圧は、蒸着時間が長くアンドープ層の厚さの増加に比例して増大する。即ち、曲線(a)に示すように、アンドープ層がない場合は、整流作用が小さい。しかしながら、アンドープ層の厚さが厚くなると、逆リーク電流が著しく減少し、その結果、特に図3の曲線(c)のように、整流作用が良好になり、ブレイクダウン電圧が増加する。これらの電流-電圧特性は、ホモエピタキシャルダイヤモンドの場合について観察されたもの、即ち、単結晶ダイヤモンドを基板に用いた場合と同様である。多結晶半導体ダイヤモンド薄膜に対するアルミニウム電極の整流作用の向上は、絶縁性のアンドープダイヤモンド層30を導入したことによる。これにより、逆ブレイクダウン電圧が著しく向上し、整流特性が向上する。

【0028】図2の金属-絶縁体-半導体ダイオードにおける逆ブレイクダウン電圧特性の改善は、アンドープのダイヤモンド層を用いて形成した他のデバイスについても同様の効果をもたらす。

【0029】この構造及びプロセスの大きな利点は、その上に粒径が大きな多結晶ダイヤモンド膜(PCD)を合成できるものであれば任意の基板材料を使用できる点である。實際上、基板は基本的には取り除かれる。基板の目的は、多結晶膜蒸着についてのベースとして作用するものである。

【0030】別の変形例として、層25はイオン注入により形成することができる。この場合に、多結晶蒸着層20は20~30 μ mであり、前述の如く研磨されている。チャンネル層25は、絶縁性の最上部を保持しつつp型の活性層を形成するために、高エネルギー及び低温で形成される。多重イオン注入の必要性は、注入したドーパント原子のガウス分布が狭い場合に生じる。チャンネルの深さ方向の分布幅を拡大し、ドーピングレベルを下げることで、同一のチャンネル電導度を得ることができる。これはまた、デバイス構造中の電場を低減する作用をもつ。ボロンと共にカーボンを共同注入することは、アニール後にボロン原子により充填される空孔を結晶格子内に生成するために有効である。十分にイオン注入された構造のデバイスの利点は、絶縁ゲート30をデバイスの一体化部分として形成できる点にある。数回のイオン注入プロセスが、埋め込みチャンネルを形成するために使用される。このチャンネルはチャンネルとデバイスの表面との間にアンドープのダイヤモンドを有する。図4(a)は埋め込まれたポロンドープ層51を示し、図4

(b) はイオン注入により埋め込まれたボロンドープ層52の構成を示す。図4(b)はまたイオン注入又は表面改質処理により選択的に形成されたオーミックコンタクト50を示す。

【0031】イオン注入は液体窒素温度で行う。そして、最初のプロセスとして、埋め込み層25の最も深い部分への共同注入を含む。この注入は例えば200keVでカーボンを $2 \times 10^{15} / \text{cm}^2$ のドーズ量で注入するものである。このカーボンは基本的には格子欠陥の発生因子として作用し、120keV、 $6 \times 10^{14} / \text{cm}^2$ でのボロンドーピングにより充填することができるスペースを生成する。次に、チャンネルの残部には145keVのエネルギーで $7 \times 10^{14} / \text{cm}^2$ のドーズ量でカーボンが注入される。その後、この領域は90keV及び $4 \times 10^{14} / \text{cm}^2$ の条件と、65keV及び $3.5 \times 10^{14} / \text{cm}^2$ の条件で、ドーパされたチャンネル領域を完成するために二重にボロン注入される。これらの条件は、表面から1000オングストロームの深さで約 $1 \times 10^{17} / \text{cm}^3$ の有効なチャンネルキャリア濃度を生成する。

【0032】この試料は次いで注入欠陥を除去し、ボロンドープバントを活性化するために、アニール処理する。表面リーク電流の可能性や表面に延びる注入欠陥を防止して、高特性デバイスを製作するために、更にアンドープの絶縁性ダイヤモンド層30の蒸着が必要となることもある。

【0033】埋め込みチャンネル層25に対する低抵抗オーミックコンタクト50は、イオン注入又は層30の表面改質処理により形成することができる。ダイヤモンド中へのイオン注入方法の改善により、チャンネル層を形成するために一連の深い注入方法を使用して全ての構造を作ることができ、これにより十分に注入された構造のデバイスを形成することができる。これらのオーミックコンタクト50は、埋め込みドーパ層25と後にメタライズ化される電極部とを接続することを目的としている。これらの層は室温で形成され、ボロンがエネルギー65keV及びドーズ量 $3 \times 10^{16} / \text{cm}^2$ という条件でドーパされる。

【0034】この構造の他の変形例は、イオン注入又は低エネルギーイオン若しくは電子衝撃若しくはレーザ衝撃等により表面層30を選択的に改質した後、アンドープのダイヤモンド30の絶縁層を積層するものである。

【0035】このイオン注入又は表面改質は特定の領域をマスクすることにより形成される整合型の構造に用いるか、又は図1(e)～(g)の方法で示される自己整合プロセスにより構成することができる。図2のダイオードの形成に使用される自己整合プロセスと同様のプロセスを異なるデバイスを作るため、又は、薄膜トランジスタのような異なるデバイスの後プロセスに使用することができる。

【0036】埋め込みチャンネル層に対するオーミック接触をとる他の方法は、金又はクロムのような適切なマスクを使用してダイヤモンドをプラズマエッチングすることにより、図4(b)の領域50内において層30を選択的に除去することである。極めて制御しやすい電子ビームアシストによるダイヤモンドのエッチングが小橋らにより報告されている。

【0037】図5(a)はMISFET構造の注入構造を示す。埋め込み注入層61及びソース/ドレインのオーミック電極62は、図4(b)と同様の方法で形成することができる。形成された構造は電界効果トランジスタである。図5(a)の構造を達成するために必要なイオン注入は、自己整合型ではないマスク構造体を持ち、マスク構造を機械的に整合してから、注入されるべき領域を決めるために、穴をエッチングするものである。図5(b)は図5(a)と同様のMISFET構造を示すが、図5(b)の場合は自己整合プロセスにより形成される点異なる。この自己整合プロセスは、図1(c)～(g)に示すようにマスクプロセスの機械的な整合を必要としないで形成することができる点で、図5(a)に示すものの改良であるといえる。これは、フォトリソパターンマスクの外側の領域では全てイオン注入、改質又はエッチングすることができることから生じる。

【0038】図1(f)において、金属電極40はダイヤモンド表面層30上に蒸着される。次に、 SiO_2 又はアモルファスシリコン層のように、選択的にエッチングすることができる材料が蒸着される。電極はマスク表面を露光することによって、フォトリソグラフィプロセスによりパターニングされる。このマスクはフォトリソパターンに一致するようにエッチングされる。

【0039】次に、金属電極が図1(g)に示すように、アンダーカット又は「T」構造にオーバーエッチングされる。このT構造は、1 μm 未満のオーバーハングを有することができる。低抵抗のソース/ドレインオーミック電極を形成するために、マスク直下のソースドレイン間のチャンネル部を除いて、イオン注入により全ての構造を被覆することができる。ソース及びドレインの電極形成は同一のマスクプロセスを使用して達成することができる。これは自己整合のプロセスであり、使用の容易性及びその精度を別として、ソース及びドレイン間の抵抗を低減し、デバイス構造を小型化することができる。

【0040】このソース及びドレイン間の抵抗の低減は、図5(a)に示すように、機械的な整合により配置する場合に比して、自己整合プロセスにおいては、ソース及びドレイン間の距離を小さくすることができるという事実によりもたらされる。實際上、ソースとドレインとの間の抵抗は、埋め込み注入層を介してのものである。ソースから埋め込み注入層を介してドレインまで行くのに必要な距離が短いことが必要である場合は、抵抗

が小さくなる。明らかに、ソースとドレインとの間に直接存在するこの層は、絶縁層である。機械的整合の場合には、 $2\mu\text{m}$ を超える偏移を設けることが、ゲート電極がソース電極及びドレイン電極と重ならないようにするために必要なことである。このように、機械的に整合した構造の場合には、自己整合構造の場合ほどソースとドレインとの間の距離が相互に近接しているように組み立てることはできない。ソース及びドレインの改質オーミック領域及び埋め込み注入層が形成された後に、電極が形成され、構造が完成する。再び、ダイヤモンドのエッチングが使用されるが、多くの反応性イオンエッチングは等方的であるので、自己整合構造が保持される。

【0041】前述の如く、表面研磨は粗さを低減するのに重要であり、実用的なデバイスについて $1\mu\text{m}$ 以下の狭いゲート長を得るのに必要である。研磨により表面が平坦化されるため、多結晶のアンドープ層の深さ方向の電場分布がより一層均一化する。

【0042】非ダイヤモンド基板を使用することが可能となれば、電子デバイスの大面積化、大量生産、従ってダイヤモンドデバイスの商業化の際の低コスト化が期待できる。そして、更に重要なのは、放射線の検出/放出器や温度検知器、圧力検知器に必要なヘテロジャンクションのような半導体及びデバイス構造を多種多様に組み合わせることが可能となることである。単に、絶縁ダイヤモンド層を絶縁性ジャンクションに用いてその整流作用の向上を図るだけでも、多大の発展性を期待することができる。

【0043】第1層20は研磨及びエッチング後に、デバイス形成用の基板として使用される。また、デバイス構造がこの層20内に直接注入される。

【0044】十分に注入された構造は単結晶ダイヤモンド材料にも使用することができる。これらのデバイスは上述の多結晶構造として、及び単結晶材料/デバイスにおいて見られるように高速のキャリア移動度という利点を有するものとして、有益である。

【0045】ヘテロエピタキシャル技術が適用されるようになると、十分に厚い絶縁性ダイヤモンドバッファ層が使用されてるならば、上述と同様の技術を適用することができる。

【0046】上述の方法により、単結晶ダイヤモンド基板を必要としないデバイスを得ることができるのは、バイレイヤー構造による。このバイレイヤー構造は、ポロンドープの多結晶ダイヤモンド層20とアンドープのダイヤモンド層30との組み合わせにより得られる。優

れた整流作用及び大きなブレイクダウン電圧をもつこのアンドープ層30は、電流-電圧特性が向上したMISデバイスを組み立てることを可能とする。自己整合プロセスでそのような構造を形成するには、その場ドープでチャンネルを形成して、引き続きアンドープ層を蒸着する。もしくは、絶縁性のアンドープダイヤモンド層30を通りこしてその中に埋め込む形で十分に注入された層を形成するのが実用的である。付加的なアンドープ層を注入構造の特性向上のために形成することも可能である。表面の改質はソースドレイン間の抵抗を低減するために利用される。

【0047】上述の開示のもとで、本発明は種々の変形が可能である。例えば、層20のような、絶縁性アンドープ多結晶シリコンバッファ層を必ずしも必要とせず、電導基板を必要とする上述の平坦化技術の替わりに、垂直構造を使用することもできる。従って、本発明は上述の実施例に限定されず、種々の変形が可能である。

【0048】

【発明の効果】本発明によれば、多結晶ダイヤモンド薄膜を利用して、整流作用が優れていて、ブレイクダウン電圧が高い半導体多結晶ダイヤモンド電子デバイスを得ることができる。また、本発明に係るデバイスは、優れた抵抗特性及び逆電圧特性を有し、高温特性の向上及び動作環境条件の拡大を図ることができる。

【図面の簡単な説明】

【図1】(a)～(g)は、本発明の実施例に係る金属-絶縁体-半導体構造を製造するプロセスを示す断面図である。

【図2】図1の多結晶ダイヤモンド薄膜技術を使用して完成した金属-絶縁体-半導体ダイオードを示す断面図である。

【図3】図2に示すMISダイオードの電流電圧特性を示すグラフ図である。

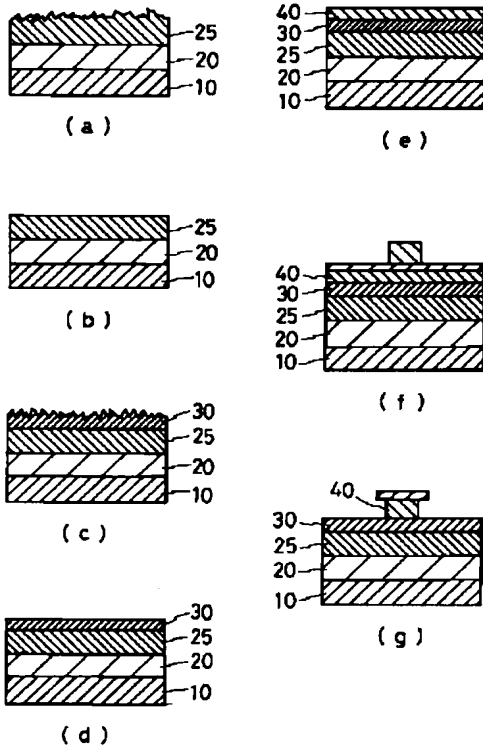
【図4】(a)及び(b)は本発明の実施例に係るダイヤモンドデバイスのイオン注入方法を示す断面図である。

【図5】(a)及び(b)はMISFET構造のイオン注入方法を示す斜視図である。

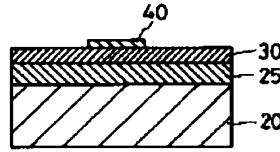
【符号の説明】

- 10；シリコン基板
- 20；絶縁性多結晶ダイヤモンド層
- 25；第2のダイヤモンド薄膜
- 30；アンドープ絶縁性ダイヤモンド層
- 40；アルミニウム電極

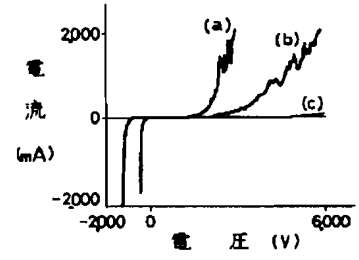
【図1】



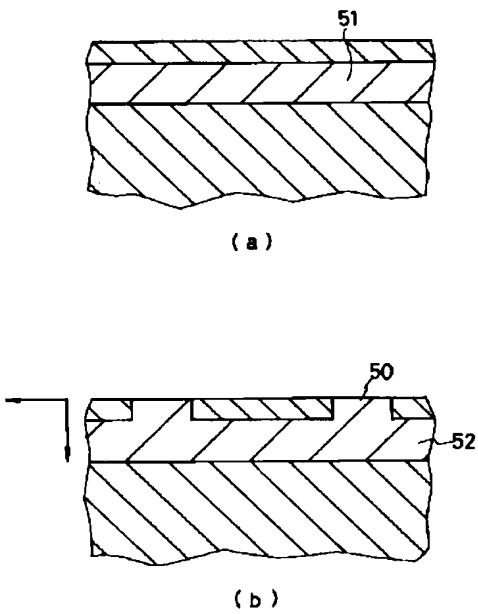
【図2】



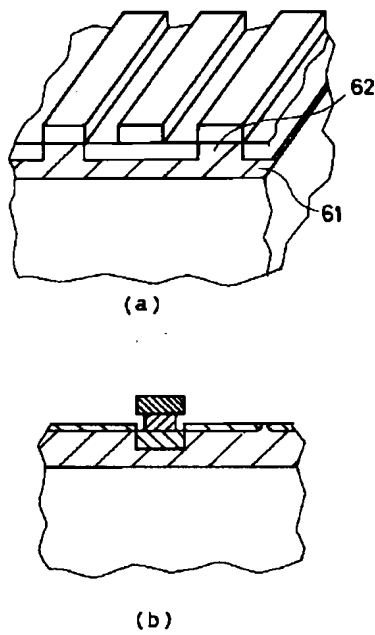
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/265				
29/784				
// C 2 3 C 14/06		8414-4K		
		8225-4M	H 0 1 L 29/78	3 0 1 J

(72)発明者	クマール・ダス	(72)発明者	宮田 浩一
	アメリカ合衆国, ノースカロライナ州		アメリカ合衆国, ノースカロライナ州
	27709, リサーチトライアングルパーク,		27709, リサーチトライアングルパーク,
	私書箱13608, 79, TW, アレクサンダー		私書箱13608, 79, TW, アレクサンダー
	通り, リサーチcommons, 4401ビルディング		通り, リサーチcommons, 4401ビルディング
	グ		グ

(72)発明者	小橋 宏司
	アメリカ合衆国, ノースカロライナ州
	27709, リサーチトライアングルパーク,
	私書箱13608, 79, TW, アレクサンダー
	通り, リサーチcommons, 4401ビルディング
	グ